



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-58823

(P2000-58823A)

(43) 公開日 平成12年2月25日 (2000.2.25)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード (参考)

H 0 1 L 29/78  
21/76H 0 1 L 29/78  
21/76  
29/786 5 7 A 5 F 0 3 2  
L  
6 5 2 P  
6 5 2 F  
6 5 3 A

審査請求 未請求 請求項の数6 O L (全 6 頁)

(21) 出願番号

特願平10-229081

(22) 出願日

平成10年8月13日 (1998.8.13)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 高野 彰夫

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝多摩川工場内

(74) 代理人 100077849

弁理士 須山 佐一

Fターム (参考) 5F032 BA05 BB06 CA17 CA18 CA24

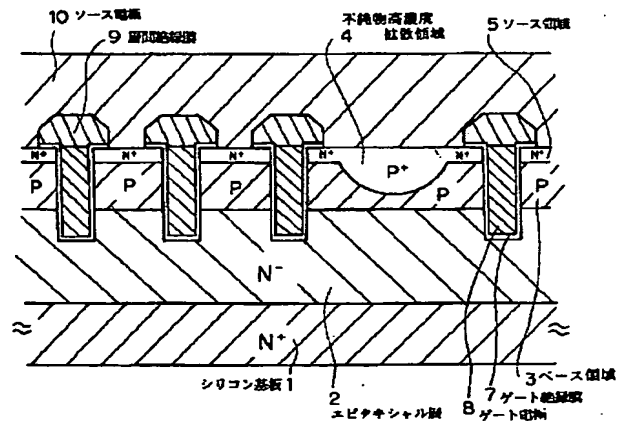
DA12 DA23

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 セルピッチを狭めて高集積化を図りながら、破壊耐量を低減させることのないトレンチ構造を有する半導体装置およびその製造方法を提供する。

【解決手段】 複数の素子分離用溝部が形成された半導体基板と、半導体基板上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成された導電層と具備する半導体装置であって、複数の素子分離用溝部の溝部間領域にはベース不純物高濃度領域が形成されている領域とベース不純物高濃度領域が形成されていない領域がある半導体装置およびその製造方法。



## 【特許請求の範囲】

【請求項 1】複数の素子分離用溝部が形成された半導体基板と、前記半導体基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された導電層と具備する半導体装置であって、

前記複数の素子分離用溝部の溝部間領域にはベース不純物高濃度領域が形成されている領域と前記ベース不純物高濃度領域が形成されていない領域があることを特徴とする半導体装置。

【請求項 2】前記ベース不純物高濃度領域が形成されていない前記溝部間領域の幅は、前記ベース不純物高濃度領域が形成されている前記溝部間領域の幅よりも小さいことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】前記ベース不純物高濃度領域は、ICチップの少なくとも 5% となるように形成することを特徴とする請求項 1 記載の半導体装置。

【請求項 4】半導体基板上の所定の位置にベース不純物高濃度領域を形成する工程と、

少なくとも前記ベース不純物高濃度領域以外に複数の素子分離用溝部を形成する工程と、

前記溝部の形成された半導体基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の形成された前記溝部にゲート電極を埋め込む工程と、

前記ゲート電極を埋め込んだ前記溝部を少なくとも覆うように層間絶縁膜を堆積する工程と、

前記半導体基板、前記ベース不純物高濃度領域および前記層間絶縁膜上を覆うようにソース電極を堆積する工程とを少なくとも具備する半導体装置の製造方法であって、

前記複数の素子分離用溝部の溝部間領域にはベース不純物高濃度領域が形成されている領域と前記ベース不純物高濃度領域が形成されていない領域があることを特徴とする半導体装置の製造方法。

【請求項 5】前記ベース不純物高濃度領域が形成されていない前記溝部間領域の幅は、前記ベース不純物高濃度領域が形成されている前記溝部間領域の幅よりも小さいことを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 6】前記ベース不純物高濃度領域は、ICチップの少なくとも 5% となるように形成することを特徴とする請求項 4 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、素子分離用溝部を有する半導体装置およびその製造方法に係わり、特に、パワー MOS-FET/IGBT に用いられるトレンチゲート型半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】トランジスタなどの半導体装置を、微細

加工技術により高密度に集積させた高集積回路において、さらなる高集積化および高い駆動能力が求められている。

【0003】近年、中でも注目されているのがトレンチ（溝）を有する半導体装置である。ゲートをトレンチ構造にすると、基板上のゲート部分の占有面積を狭くすることができ、その結果電流値の大きな、性能の良い高集積化回路が実現される。

【0004】このトレンチゲート構造を有するパワー MOS-FET および IGBT 等の半導体装置は、100V 以下の低耐压デバイスのオン抵抗を改善するために用いられている。パターニング技術やエッチング技術の進歩に伴い、最小線幅が 0.5 から 1 μm に縮小され、それがそのままトレンチ幅（ゲート幅）になっており、トレンチゲート間のセルピッチも 4 から 8 μm とプレーナ型では達成できなかった集積度が可能となっている。

【0005】しかし、このようなセルピッチの縮小に伴い、キャリア抜きに要するベース不純物高濃度領域幅が縮小し、ベース不純物高濃度領域でキャリアが集中することにより、L 負荷耐量、すなわち外部回路における破壊耐量、あるいは熱放散によるダメージのパラメータであるラッチアップ耐量が低減してしまう。このように、トレンチ幅がたとえ 0.5 μm 以下に縮小できたとしても、トレンチトレンチ間距離の縮小には限界がある。

【0006】従来のトレンチゲート構造を採用した N チャネル型パワー MOS-FET のストライプパターン断面図を図 5 に、平面図を図 6 に、オフセットメッシュパターンを図 7 に示す。これらの図から明らかな通り、トレンチトレンチ間には高濃度不純物（P<sup>+</sup>）拡散領域であるベース不純物高濃度領域が必ず形成されている。

【0007】従来の N チャネル型パワー MOS-FET の製造工程を図 8 に示す。

【0008】まず、図 8（a）に示す通り、N<sup>+</sup>型シリコン基板 1 上に N<sup>-</sup>型エピタキシャル層 2 と P 型ベース領域 3 を形成して、その上にマスクを介してホウ素等のイオンを注入して所定の位置に P<sup>+</sup>不純物高濃度拡散領域 4 を形成する。

【0009】次に、図 8（b）に示す通り、不純物高濃度拡散領域 4 の間に砒素、りん等のイオンを注入して N<sup>+</sup>ソース領域 5 を形成する。

【0010】そして、図 8（c）に示すように、N<sup>+</sup>ソース領域 5 を貫くようにしてトレンチ 6 を Cl<sub>2</sub>/CHF<sub>3</sub> 等のガスを用いた反応性イオンエッチング（RIE）により形成する。

【0011】さらに、図 8（d）に示すように、トレンチ 6 にゲート絶縁膜 7 を積層した後、ゲート電極 8 を埋め込んで平坦化処理を施し、層間絶縁膜 9 を堆積する。

【0012】さらに、図 8（e）に示すように、層間絶縁膜 9 を CF<sub>4</sub>/H<sub>2</sub> 等のガスを用いた RIE により加

工した後、ソース電極 10 を全面に堆積させて半導体装置とする。

【0013】図 5～8 から明らかな通り、トレンチートレンチ間（セルピッチ）には高濃度不純物高濃度拡散領域 4 およびソース領域 5 があるために、セルピッチには一定の距離が必要となる。また、セルピッチを無理に縮小させると、ベース不純物高濃度領域でキャリアが集中してしまい、破壊耐量が低下してしまう。

【0014】

【発明が解決しようとする課題】上述した通り、トレンチ幅の縮小に伴って、トレンチートレンチ間距離を狭めると、ベース不純物高濃度領域でキャリアが集中することにより破壊耐量が低下してしまうという問題があった。

【0015】従って、本発明の目的は、セルピッチを狭めて高集積化を図りながら、破壊耐量を低減させることのないトレンチ構造を有する半導体装置およびその製造方法を提供することである。

【0016】

【課題を解決するための手段】本発明の半導体装置は、複数の素子分離用溝部が形成された半導体基板と、前記半導体基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された導電層と具備する半導体装置であって、前記複数の素子分離用溝部の溝部間領域にはベース不純物高濃度領域が形成されている領域と前記ベース不純物高濃度領域が形成されていない領域があることを特徴としている。

【0017】本発明の半導体装置において、前記ベース不純物高濃度領域が形成されていない前記溝部間領域の幅は、前記ベース不純物高濃度領域が形成されている前記溝部間領域の幅よりも小さいことを特徴としている。また、前記ベース不純物高濃度領域は、ICチップの少なくとも 5%、好ましくは 5～10%、より好ましくは 10～15% となるように形成することを特徴としている。

【0018】本発明の半導体装置の製造方法は、半導体基板上の所定の位置にベース不純物高濃度領域を形成する工程と、少なくとも前記ベース不純物高濃度領域以外に複数の素子分離用溝部を形成する工程と、前記溝部の形成された半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の形成された前記溝部にゲート電極を埋め込む工程と、前記ゲート電極を埋め込んだ前記溝部を少なくとも覆うように層間絶縁膜を堆積する工程と、前記半導体基板、前記ベース不純物高濃度領域および前記層間絶縁膜上に覆うようにソース電極を堆積する工程とを少なくとも具備する半導体装置の製造方法であって、前記複数の素子分離用溝部の溝部間領域にはベース不純物高濃度領域が形成されている領域と前記ベース不純物高濃度領域が形成されていない領域があることを特徴としている。

【0019】本発明の半導体装置の製造方法において、前記ベース不純物高濃度領域が形成されていない前記溝部間領域の幅は、前記ベース不純物高濃度領域が形成されている前記溝部間領域の幅よりも小さいことを特徴としている。また、前記ベース不純物高濃度領域は、ICチップの少なくとも 5%、好ましくは 5～10%、より好ましくは 10～15% となるように形成することを特徴としている。

【0020】すなわち、本発明は、トレンチゲート構造を有するパワー MOS-FET あるいは IGBT において、ソースあるいはエミッタ電極とベース不純物高濃度領域である P<sup>+</sup> 領域が存在するセル（トレンチートレンチ間領域）と存在しないセルとに分け、ベース不純物高濃度領域の存在するセルを周期的に配置するものである。ベース不純物高濃度領域の存在しないセルの幅を狭くすることができ、これにより微細化が促進される。このように、本発明によれば、破壊耐量を減少することなく、ICチップ全体のチャンネルの周囲長を増大してオン電圧の低減を図ることができる。

【0021】本発明で用いる半導体基板は、例えば、シリコン、GaAs、SiC 等であり、ゲート電極は、例えば、ポリシリコン、BPSG（Boron Phosphorus Silicate Glass）、PSG（Phospho Silicate Glass）メタル等であり、ゲート絶縁膜はシリコン酸化膜、CVD（Chemical Vapor Deposition）窒化膜等、層間絶縁膜はシリコン酸化膜、UPD（Un-Doped Oxide）等、ソース電極は、例えば、アルミニウム等である。

【0022】また、本発明は、MOS-FET ばかりでなく、半導体基板の裏面全面に p 型層を形成した n 型半導体基板を用いれば IGBT（絶縁ゲート型バイポーラトランジスタ）にも適用することができる。

【0023】

【発明の実施の形態】〔実施例 1〕本発明の半導体装置の一例を、図 1 および 2 を用いて説明する。図 1 および図 2 は、ストライプパターンを採用した本発明の半導体装置の断面図と平面図である。

【0024】図 1 を参照すると、N<sup>+</sup> 型シリコン基板 1 上に堆積された N<sup>-</sup> 型エピタキシャル層 2 と P 型ベース領域 3 に、トレンチが形成されており、P<sup>+</sup> 不純物高濃度拡散領域 4 と N<sup>+</sup> ソース領域 5 の両領域が形成されているトレンチートレンチ間領域と、N<sup>+</sup> ソース領域 5 のみが形成されているトレンチートレンチ間領域がある。トレンチにはゲート絶縁膜 7 が堆積され、ゲート電極 8 が中に埋め込まれ平坦化されている。ゲート電極 8 の上に形成された層間絶縁膜 9、P<sup>+</sup> 不純物高濃度拡散領域 4 および N<sup>+</sup> ソース領域 5 を覆うようにソース電極 10 が堆積されている。

【0025】ベース不純物高濃度領域である不純物高濃度拡散領域 4 のあるセル列は 4 列に 1 列しかないが、その代わり、トレンチートレンチ間距離は他の 3 列に比べ

て広くとってある。不純物拡散領域のないセル列は、コンタクトのパターニング技術やエッチング技術そしてソース電極の埋め込み技術の許す限り狭くすることによって全体の集積度を上げている。ただし、ベースが電氣的に浮いている状態を避けるため、半導体装置終端部の近辺のみソース領域5のない領域を設け（図示せず）、ベースをソース電極と接地させてある。

【0026】本実施例においては、ベース不純物高濃度領域のあるセル列を4列に1列しか形成していないが、半導体装置のし負荷耐量は、チップサイズに対するベース不純物高濃度領域の割合を調整することで一定に保つことができる。従って、微細度やチップサイズに応じてトレンチトレンチ間のピッチやベース不純物高濃度領域を含むセル列の周期を変えればよい。

【0027】【実施例2】本発明の半導体装置の変形例を図3を用いて説明する。図3は、オフセットメッシュパターンを適用した本発明の半導体装置の変形例の平面図である。不純物高濃度拡散領域4のあるセルはトレンチで区切っているのに対し、不純物高濃度拡散領域4のないセルはベースが電氣的に浮かないように列方向はトレンチで区切らず、1本の列内のセルが同電位に保たれるようにした以外は実施例1と同様である。また、これに限らず、列方向に揃ったメッシュパターンにも適用可能である。

【0028】【実施例3】本発明の半導体装置の製造方法を図4を用いて説明する。

【0029】まず、図4(a)に示す通り、N<sup>+</sup>型シリコン基板1上にN<sup>-</sup>型エピタキシャル層2とP型ベース領域3をそれぞれ5 $\mu$ mと2 $\mu$ mの厚さで、例えばエビ層はエピタキシャル法で堆積、ベース領域はホウ素等のイオンを40~60keV、ドーズ量1~5 $\times 10^{13}$ cm<sup>-2</sup>の条件で打ち込み、1000℃~1100℃の熱処理にて拡散により形成し、その上にマスクを介してホウ素等のイオンを、例えば、40~60keVの加速エネルギー、ドーズ量1~6 $\times 10^{15}$ cm<sup>-2</sup>の条件で注入して所定の位置にP<sup>+</sup>不純物高濃度拡散領域4を形成する。このP<sup>+</sup>不純物高濃度拡散領域4は、従来のように各トレンチトレンチ間に設けずに、ICチップ面積の5%となるように疎らに形成する。これはマスクを変更するだけで容易に制御できる。

【0030】次に、図4(b)に示す通り、P<sup>+</sup>不純物高濃度拡散領域4の間に砒素、アンチモン、りん等のイオンを、例えば、40~50keVの加速エネルギー、ドーズ量2~5 $\times 10^{15}$ cm<sup>-2</sup>の条件で注入してN<sup>+</sup>ソース領域5を形成する。

【0031】そして、図4(c)に示すように、N<sup>+</sup>ソース領域5を貫くようにしてトレンチ6をCl<sub>2</sub>/CHF<sub>3</sub>等のガスを用いた反応性イオンエッチング(RIE)により形成する。トレンチの幅は約1 $\mu$ m、深さは約3 $\mu$ mとする。このとき、本発明によれば、従来とは

異なり、ソース領域のみしかないトレンチトレンチ間も存在することになる。

【0032】さらに、図4(d)に示すように、トレンチ6にゲート絶縁膜7を堆積した後、ゲート電極8を埋め込んで平坦化処理を施し、層間絶縁膜9を堆積する。この後、Ti、TiW等のバリアメタルを堆積してもよい。

【0033】さらに、図4(e)に示すように、層間絶縁膜9をCF<sub>4</sub>/H<sub>2</sub>等のガスを用いたRIEにより加工した後、ソース電極10を全面に堆積させて半導体装置とする。

【0034】以上、Nチャネル型について説明してきたが、言うまでもなく、Pチャネル型についても同様に作成できる。

【0035】

【発明の効果】上述した通り、本発明によれば、ベース不純物高濃度領域のあるセル列のみトレンチトレンチ間距離を広げ、ベース不純物高濃度領域のないセル列の距離をできるだけ狭めることでICチップ全体の周囲長を長くすることが可能となる。この際、ベース不純物高濃度領域のあるセル列は必要以上に距離を広くとらなくても、ICチップ面積に対するベース不純物高濃度領域の総面積の割合を微細度やチップサイズに応じて調整することで破壊耐量を維持することができる。

【0036】また、たとえICチップ当りのベース不純物高濃度領域の総面積が同じであっても従来の等間隔ピッチのセルに比べてセル当たりのコンタクト孔の面積が大きい分、コンタクト孔でのキャリアの集中が緩和され、破壊耐量は大きくなるという効果を奏する。

【0037】すなわち、本発明によれば、セルピッチを狭めて高集積化を図る一方で、破壊耐量を増大まではさせないものの、低減させることのないトレンチ構造を有する半導体装置およびその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例による半導体装置の拡大断面図。

【図2】本発明の図1の半導体装置の拡大平面図。

【図3】本発明の他の実施例による半導体装置の拡大平面図。

【図4】本発明の半導体装置の製造工程を示す拡大断面図。

【図5】従来の半導体装置の拡大断面図。

【図6】従来の図5の半導体装置の拡大平面図。

【図7】従来の半導体装置の拡大平面図。

【図8】従来の半導体装置の製造工程を示す拡大断面図。

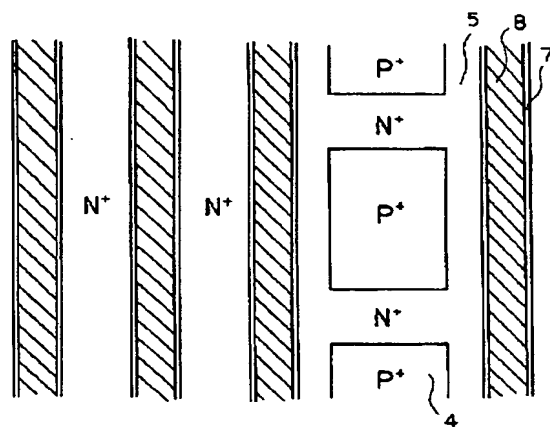
【符号の説明】

1...N<sup>+</sup>型シリコン基板

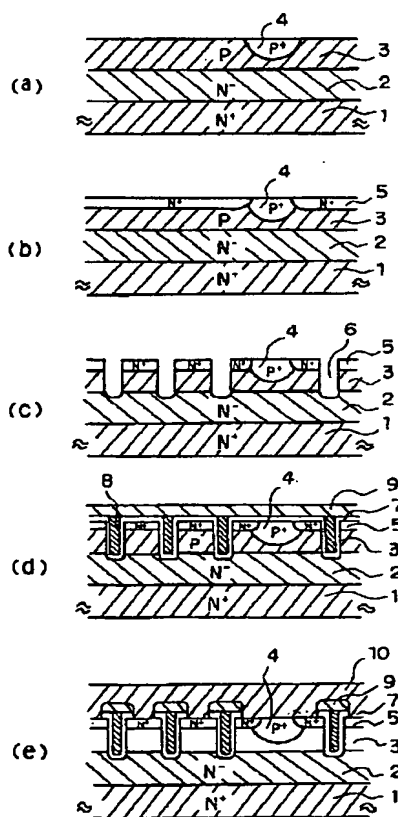
2...N<sup>-</sup>型エピタキシャル層

7…ゲート絶縁膜  
8…ゲート電極  
9…層間絶縁膜  
10…ソース電極

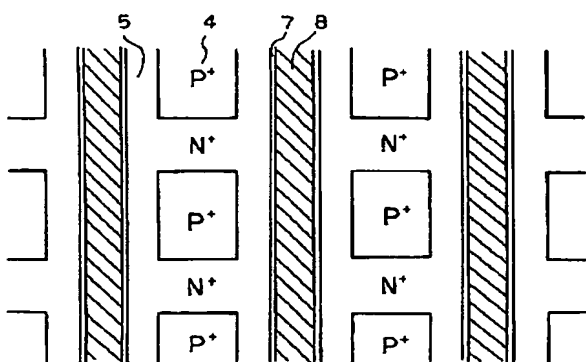
【圖 2】



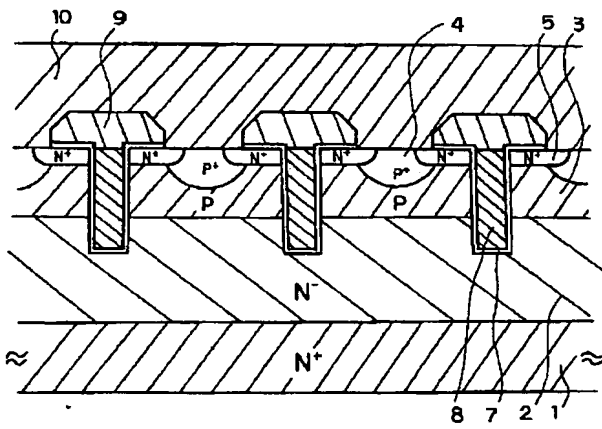
【図 4】



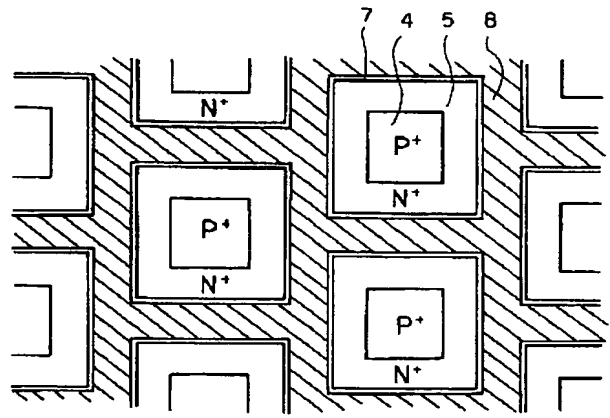
【図 6】



【図5】



【図7】



【図8】

